

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10178073 A**(43) Date of publication of application: **30.06.98**

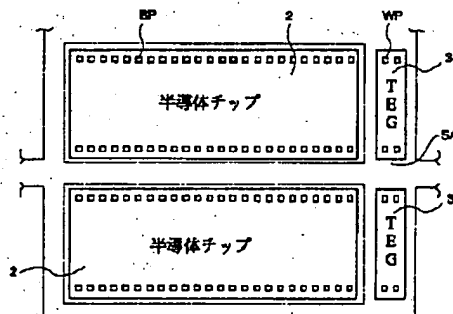
(51) Int. Cl.

H01L 21/66
G01R 31/317
(21) Application number: **08337822**(22) Date of filing: **18.12.96**(71) Applicant: **HITACHI LTD**
(72) Inventor: **YAMAGAMI NAOMIKI**
TAKAHASHI MASATO
**(54) INSPECTION METHOD AND PRODUCTION OF
 SEMICONDUCTOR DEVICE**
(57) Abstract:

PROBLEM TO BE SOLVED: To perform electrical characteristic test of individual semiconductor chip efficiently in a short time.

SOLUTION: In a wafer test for evaluating the circuit characteristics, a wafer prober measures a data including the threshold voltage, the source-drain current and the source-drain breakdown strength of an MOS transistor in a TEG (test area) 3 and a probe test is performed while feeding back these data. Since optimal test conditions, e.g. write erasure characteristics, write fail and erase tail, can be set, a probe test can be performed stably regardless of fluctuation in the process of device.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-178073

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/66

H 0 1 L 21/66

B

G 0 1 R 31/317

G 0 1 R 31/28

A

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号

特願平8-337822

(22) 出願日

平成 8 年(1996)12月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 山上 直幹

東京都小平市上水本町五丁目20番 1 号 株式会社日立製作所半導体事業部内

(72) 発明者 高橋 正人

東京都小平市上水本町五丁目20番 1 号 株式会社日立製作所半導体事業部内

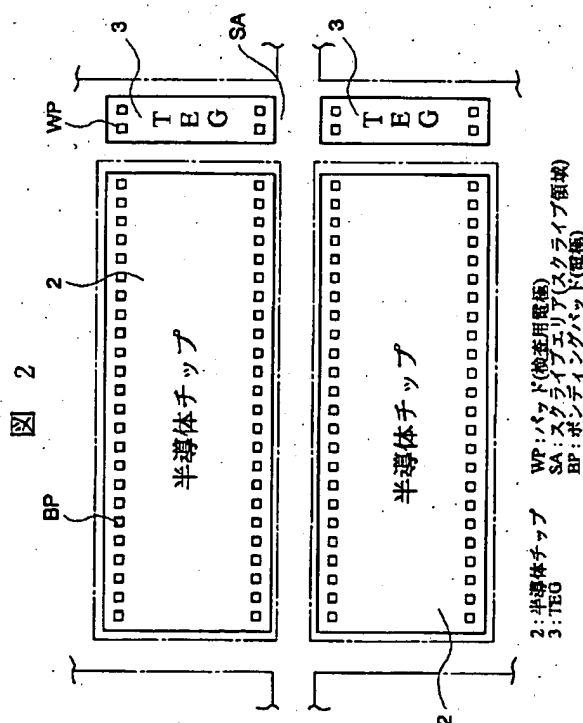
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 検査方法および半導体装置の製造方法

(57) 【要約】

【課題】 個々の半導体チップにおける電気的特性検査を短時間で効率よく行う。

【解決手段】 回路特性の評価を行うウエハテストにおいて、ウエハプローバによりTEG3におけるMOSTランジスタのしきい値電圧、ソース・ドレイン間電流ならびにソース・ドレイン耐圧などのデータを測定し、これらのデータをフィードバックしながらプローブテストを行うことによって、書き込み消去特性、書き込み不良および消去不良などの最適なテスト条件を設定でき、デバイスのプロセスばらつきなどに依存せず、安定化してプローブテストを行うことができる。



【特許請求の範囲】

【請求項1】 半導体ウエハに形成された検査領域を用いて回路特性検査を行う工程と、前記回路特性検査により測定された回路評価測定データに基づいて電気的特性検査における検査条件を設定する工程と、設定された前記検査条件によって前記半導体ウエハに形成された個々の半導体チップにおける前記電気的特性検査を行う工程とを有したことを特徴とする検査方法。

【請求項2】 検査領域を有する半導体装置の製造方法であって、前記検査領域に設けられた検査用電極を半導体チップ上に形成された外部引出線を接続する電極と同一線状に、同じ間隔によって形成したことを特徴とする半導体装置の製造方法。

【請求項3】 請求項2記載の半導体装置の製造方法において、前記検査領域が、前記半導体チップを分割する領域であるスクライブ領域に形成されたことを特徴とする半導体装置の製造方法。

【請求項4】 請求項2記載の半導体装置の製造方法において、前記検査領域が、前記半導体チップ内に形成されたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、検査方法および半導体装置の製造方法に関し、特に、DRAM (Dynamic Random Access Memory) やSRAM (Static RAM) などのメモリである半導体装置における電気的特性の評価の時間短縮化に適用して有効な技術に関するものである。

【0002】

【従来の技術】本発明者が検討したところによれば、DRAMやSRAMなどのメモリ半導体装置は、半導体チップ上に形成された回路特性評価およびプロセス特性評価を行うテスト素子群である、いわゆる、TEG (Test Element Group) によってテストランジスタなどの各種デバイスの回路特性検査、いわゆる、ウエハテストを行った後に、DC特性、読み出し、書き込みならびに消去などの半導体装置としての電気的特性検査、いわゆる、プローブテストを行っている。

【0003】なお、この種の半導体チップ上に形成された回路特性の評価について詳しく述べてある例としては、1985年5月25日、株式会社工業調査会発行、前田和夫(著)、「最新LSIプロセス技術」P579～P582があり、この文献には、デバイス評価などに用いられるTEGの内容や構造などが記載されている。

【0004】

【発明が解決しようとする課題】ところが、上記のようなウエハテストおよびプローブテストによる性能特性の評価では、次のような問題点があることが本発明者により見い出された。

【0005】すなわち、プローブテストにおける半導体

装置の性能評価は、デバイスのプロセスばらつきに依存しやすく、ウエハテストにおけるデータの早期フィードバックが重要であるが、ウエハテストの後にプローブテストを行っていたためにウエハテスト早期フィードバックが困難となっている。

【0006】本発明の目的は、個々の半導体チップにおける電気的特性検査を短時間で効率よく行うことのできる検査方法および半導体装置の製造方法を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】すなわち、本発明の検査方法は、半導体ウエハに形成された検査領域を用いて回路特性検査を行う工程と、該回路特性検査により測定された回路評価測定データに基づいて電気的特性検査における検査条件を設定する工程と、設定された検査条件によって半導体ウエハに形成された個々の半導体チップの電気的特性検査を行う工程とを有したものである。

【0010】また、本発明の半導体装置の製造方法は、検査領域に設けられた検査用電極を半導体チップ上に形成された外部引出線を接続する電極と同一方向に形成したものである。

【0011】さらに、本発明の半導体装置の製造方法は、前記検査領域が、半導体チップを分割する領域であるスクライブ領域に形成されたものである。

【0012】また、本発明の半導体装置の製造方法は、前記検査領域が、半導体チップ内に形成されたものである。

【0013】以上のことにより、デバイスのプロセスばらつきに依存することなく個々の半導体チップの電気的特性検査を行うことができ、且つ電気的特性検査の時間を大幅に短縮することができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0015】図1は、本発明の一実施の形態による半導体チップおよびTEGが形成された半導体ウエハの説明図、図2は、本発明の一実施の形態による半導体ウエハに形成された半導体チップおよびTEGの説明図、図3は、本発明者が検討した半導体チップおよびTEGが形成された半導体ウエハの説明図、図4は、本発明者が検討した検査工程の説明図である。

【0016】本実施の形態において、半導体素子の基板となる、シリコンなどの単結晶からなる半導体ウエハ1には、DRAMなどの集積回路が作りつけられた複数の

半導体チップ2が形成されている。

【0017】また、半導体ウエハ1は、各々の半導体チップ2ならびにメモリ回路評価やプロセス特性評価のためテスト素子群であるTEG（検査領域）3が形成されている。

【0018】次に、半導体チップ2とTEG3の位置関係を図2を用いて説明する。

【0019】各々の半導体チップ2の近傍にそれぞれTEG3が設けられており、これらTEG3は、半導体ウエハ1（図1）を個々の半導体チップ2に分割するエリアであるスクライブエリア（スクライブ領域）SAに形成されている。

【0020】また、それぞれの半導体チップ2における幅方向の端部近傍には、外部引出線を接続するボンディングパッド（電極）BPが長手方向に形成されており、TEG3のウエハテスト用のパッド（検査用電極）WPも、同様に、ボンディングパッドBPと同じ列方向に形成されている。

【0021】次に、本実施の形態の作用について説明する。

【0022】まず、回路特性の評価を行うウエハテスト（回路特性検査）において、TEG3のパッドWPと半導体チップ2に形成されたボンディングパッドBPにウエハプローバに設けられたプローブカードの測定用ピンを接触させて電氣的に接続を行い、TEG3におけるMOSトランジスタのしきい値電圧、ソース・ドレイン間電流ならびにソース・ドレイン耐圧などの回路評価測定データを測定する。

【0023】そして、プローブカードに設けられたそれぞれの測定用ピンが半導体チップ2のプローブテストを開始する。

【0024】この時、ウエハテストにおいて測定された回路評価測定データをフィードバックしながらプローブテストを行う。

【0025】よって、前述した回路評価測定データのフィードバックを行いながらプローブテストにおける書き込み消去特性、書き込み不良および消去不良などの検査条件を設定することになり、デバイスのプロセスばらつきなどに依存せず、安定化してプローブテストを行うことができる。

【0026】次に、本発明者が検討したプローブテスト、ウエハテストのテスト方法について説明する。

【0027】検査工程は、図4に示すように、ウエハ製造工程である前工程が終了した後に（ステップS301）、ウエハテストを行い（ステップS302）、そのウエハテストが終了した後に次工程であるプローブテストを行い（ステップS303）、半導体装置の組立を行っている（ステップS304）。

【0028】ここで、ステップS302とステップS303は、別工程で行われており、ステップS302のウ

エハテストにおけるデータのフィードバックに時間がかかり、テスト時間の増大の原因となった。

【0029】よって、テスト時間が長時間となってしまう、すべてのウエハテストにおけるデータをフィードバックしていないためにプローブテストにおけるデバイスのプロセスばらつきによる依存が高くなってしまふことになる。

【0030】しかし、ウエハテストのデータのフィードバックを行いながら同時にプローブテストを行うことにより、デバイスのプロセスばらつきなどに依存せず、安定化してプローブテストを行うことができる。

【0031】それにより、本実施の形態によれば、プローブテストを行う工程において、同時にウエハテストを行うことができるので、テスト時間を大幅に短縮することができる。

【0032】また、プローブテストに必要なウエハテストのデータを早期にフィードバックしてプローブテストにおけるテスト条件を設定するので、デバイスのプロセスばらつきに依存することなくテストを安定して行うことができ、信頼性も向上させることができる。

【0033】さらに、本実施の形態では、半導体ウエハ1に形成されたTEG3は、各々の半導体チップ2近傍のスクライブエリアSAに設けられていたが、図5に示すように、半導体チップ2内にTEG3を形成してもよい。

【0034】この場合、TEG3は、半導体チップ2がダイシングされて残ることになり、再度ウエハテストを行うこともできる。

【0035】また、本実施の形態においては、半導体ウエハ1に形成された複数の半導体チップ2において、1個の半導体チップ2に対して1個のTEG3を設けていたが、図3に示すような構成でもよく、半導体ウエハ30には、DRAMなどの集積回路が作りつけられた半導体チップ31が形成されており、その間にTEG32が配置されている。

【0036】この場合のボンディングパッドとの関係を図6、図7に示す。2個の半導体チップ2に対して1個のTEG3を設けたり、あるいは、4個の半導体チップ2に対して1個のTEG3を設けるなど少なくとも2個以上の複数の半導体チップ2に対して1個のTEG3を設けることができる。

【0037】それにより、TEG3が半導体ウエハに占める面積を大幅に少なくすることができる。

【0038】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0039】

【発明の効果】本願によって開示される発明のうち、代

表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0040】(1) 本発明によれば、電気的特性検査を行う工程において、同時に回路特性検査を行うことができるので、テスト時間を大幅に短縮することができる。

【0041】(2) また、本発明では、電気的特性検査に必要な回路特性検査のデータを早期にフィードバックして電気的特性検査におけるテスト条件を設定するので、デバイスのプロセスばらつきに依存することなく安定して電気的特性検査を行うことができる。

【0042】(3) さらに、本発明においては、上記(1)、(2)により、半導体装置の歩留まりを向上させることができ、且つ信頼性も向上させることができる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態による半導体チップおよびTEGが形成された半導体ウエハの説明図である。

【図2】 本発明の一実施の形態による半導体ウエハに形成された半導体チップおよびTEGの説明図である。

【図3】 本発明者が検討した半導体チップおよびTEG

が形成された半導体ウエハの説明図である。

【図4】 本発明者が検討した検査工程の説明図である。

【図5】 本発明の他の実施の形態による半導体ウエハに形成された半導体チップおよびTEGの説明図である。

【図6】 本発明の他の実施の形態による半導体ウエハに形成された半導体チップおよびTEGの説明図である。

【図7】 本発明の他の実施の形態による半導体ウエハに形成された半導体チップおよびTEGの説明図である。

【符号の説明】

1 半導体ウエハ

2 半導体チップ

3 TEG (検査領域)

SA スクライブエリア (スクライブ領域)

BP ボンディングパッド (電極)

WP パッド (検査用電極)

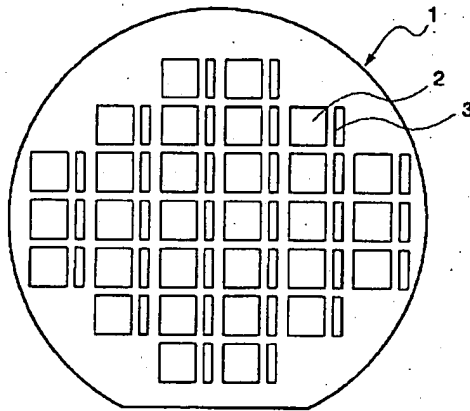
30 半導体ウエハ

31 半導体チップ

32 TEG

【図1】

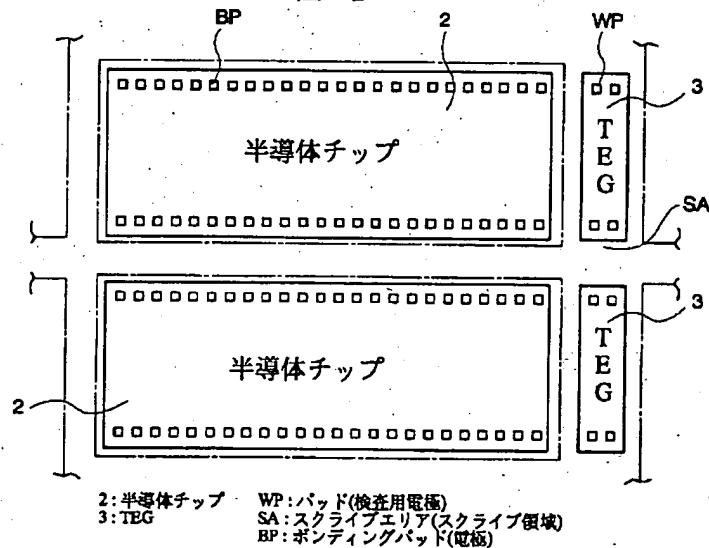
図 1



1: 半導体ウエハ

【図2】

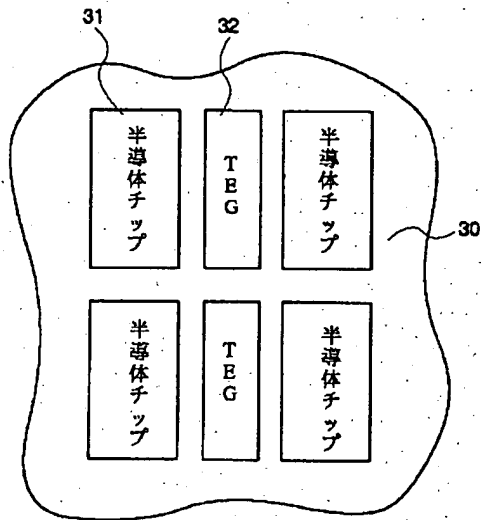
図 2



2: 半導体チップ
3: TEG
WP: パッド (検査用電極)
SA: スクライブエリア (スクライブ領域)
BP: ボンディングパッド (電極)

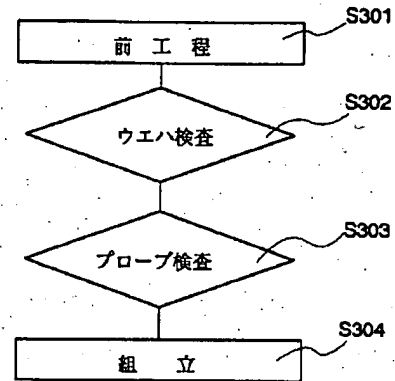
【図3】

図 3



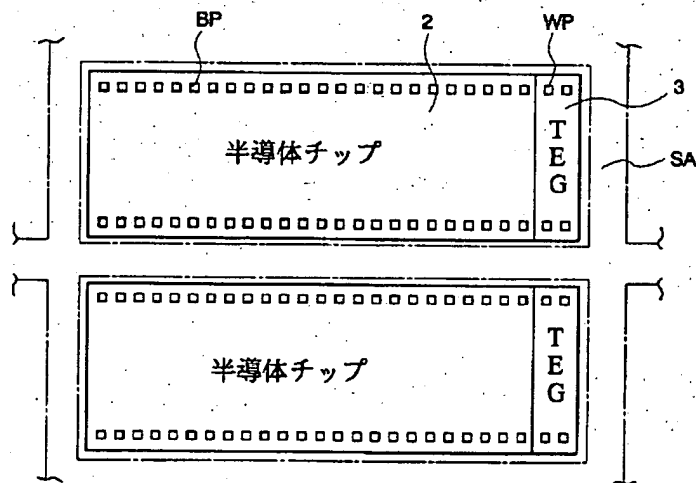
【図4】

図 4



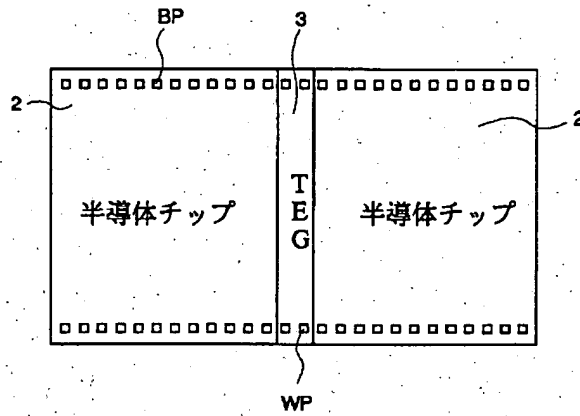
【図5】

図 5



【図6】

図 6



【図7】

図 7

